



PATENT

Customer No. 31561
Attorney Docket No.: 7983-US-PA

2811

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Nai-Shung Chang et al.
Application No. : 2002/7/12
Filed : 10/064,426
For : LAYOUT STRUCTURE AND METHOD FOR
SUPPORTING TWO DIFFERENT PACKAGE
TECHNIQUES OF CPU

Examiner :

ASSISTANT COMMISSIONER FOR PATENTS

Washington, D.C. 20231

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 91101325,
filed on: 2002/1/28.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: September 3, 2002

By:

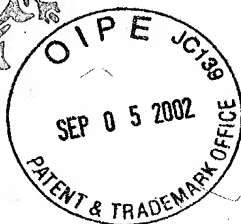
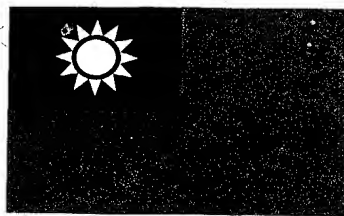
Belinda Lee
Belinda Lee

Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234

RECEIVED

SEP - 6 2002



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 01 月 28 日
Application Date

申請案號：091101325
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長

Director General

陳明邦

發文日期：西元 2002 年 8 月 21 日
Issue Date

發文字號：09111016192
Serial No.

RECEIVED
SEP-6 2002
TECHNOLOGY CENTER 2800

1375

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新型名稱	中 文	可支援兩種不同封裝技術之中央處理單元的佈線結構及主機板以及佈線方法
	英 文	
二、發明 創作人	姓 名	1 張乃舜 2 陳再生 3 陳淑惠
	國 籍	中華民國
	住、居所	1 台北縣中和市秀朗路三段 10 巷 14 弄 26-6 號 7 樓 2 台北縣中和市秀朗路三段 10 巷 12 弄 17 號 3 樓 3 台北縣板橋市四川路一段 87 巷 81 號 2 樓
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

裝

訂

線

四、中文發明摘要(發明之名稱： 可支援兩種不同封裝技術之中央處理單元的佈線結構及主機板以及佈線方法

一種可支援兩種不同封裝技術之中央處理單元(CPU)的佈線結構、包含該佈線結構之主機板、以及佈線方法。本發明較佳實施例的佈線結構係在 CPU 與控制晶片之間的相連訊號區域內，由上至下依序佈局頂端訊號層、接地層、具有接地電位之電源層、以及底端焊接層，以使佈局於底端焊接層的訊號可參考到電源層中的接地電位區，於是一部份的 CPU 與控制晶片之相連訊號便可佈局在底端焊接層上。由於本發明較佳實施例在佈局設計上更具彈性，因此可在四層堆疊結構之主機板上，設計出可同時支援兩種不同封裝技術之 Pentium IV CPU，而且這兩種 CPU 亦可透過同一種控制晶片來支援其工作。

英文發明摘要(發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

本發明是有關於一種佈線結構及佈線方法、以及包含該佈線結構之主機板，且特別是有關於一種可支援兩種不同封裝技術之中央處理單元的佈線結構及佈線方法、以及包含該佈線結構之主機板。

Intel 所開發出來的 Pentium IV 中央處理單元(central processing unit，簡稱 CPU)有兩種不同的封裝型式：一種是採用針格陣列(pin grid array，簡稱 PGA)封裝、具有 423 支接腳的 CPU；另一種是採用球格陣列(ball grid array，簡稱 BGA)封裝、包含 478 支接腳的 CPU。因為這兩種不同封裝技術的 CPU 係分別架構在 6 層與 4 層堆疊結構之主機板上，所以需要不同的印刷電路板的佈線結構、並搭配不同的北橋控制晶片才能工作，不僅使用上相當不便，而且也增加製造成本。

習知支援 423 支接腳之 Pentium IV CPU 印刷電路板(printed circuit board，簡稱 PCB)的堆疊結構如第 1 表所示：

第 1 表

頂端訊號層
接地層
內訊號層
接地層
電源層
底端焊接層

五、發明說明(2)

由第 1 表可知，此印刷電路板係採用 6 層的堆疊結構，此堆疊結構由上至下依序包括頂端訊號層、接地層、內訊號層、接地層、電源層、以及底端焊接層；而第 1 圖則繪示支援具 423 支接腳之 Pentium IV CPU 的主機板佈線結構中，北橋控制晶片 102 與 CPU 100 相連訊號區之電源層切割平面圖。由第 1 表可知，因北橋控制晶片與 CPU 相連的所有訊號均佈局在頂端訊號層與內訊號層，所以北橋控制晶片與 CPU 相連的所有訊號可均參考到接地層，因此能保證良好的訊號傳輸品質。另一方面，由第 1 表與第 1 圖的佈線結構可知，由於北橋控制晶片 102 與 CPU 100 相連區域中的電源層 104 未包含接地電位，因此若將北橋控制晶片 102 與 CPU 100 相連的訊號佈局在底端焊接層時，需跨過電源層 104 方參考到接地層，於是訊號傳輸品質將較頂端訊號層為差。所以，習知的底端焊接層較少進行北橋控制晶片與 CPU 相連的訊號線佈局。

另一方面，習知支援 478 支接腳之 Pentium IV CPU 的印刷電路板的堆疊結構則如第 2 表所示：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

第 2 表

北橋控制晶片不與 CPU 訊號相連的區域(第三區)	北橋控制晶片與 CPU 訊號相連的區域(第二區)	CPU(第一區)
頂端訊號層	頂端訊號層	頂端訊號層
GND	GND	GND
介面工作電壓源之切割層	GND	GND
底端焊接層	底端焊接層	底端焊接層

如第 2 表所示，此印刷電路板係採用 4 層的堆疊結構，其包括：第一區，CPU 係完全放置於第一區內；第二區，北橋控制晶片與 CPU 相連的所有訊號係完全放置於第二區內；第三區，北橋控制晶片不與 CPU 相連的所有訊號係完全放置於第三區內。由第 2 表可知，第一區的堆疊結構由上至下依序包括頂端訊號層、接地層(GND)、具有介面工作電壓源的電源層(經由適度切割以產生電壓源，且各介面電壓源依所連接元件之不同而異。)、以及底端焊接層；而第二區與第三區的堆疊結構則由上至下依序包括頂端訊號層、接地層、接地層、以及底端焊接層。另一方面，因 Intel 公司所設計的北橋控制晶片與 CPU 之相連的所有訊號係佈局在頂端訊號層，並參考到相鄰接地層。然而當大部分的訊號皆被佈局頂端訊號層時，不僅北橋控制晶片的面積將大為增加、亦即需要更大的印刷電路板來構築控制晶片之外，北橋控制晶片與 CPU 相連的區域亦

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

隨之增加，以符合佈線長度(Trace length)的要求，而這些限制將在北橋控制晶片與主機板的設計上形成相當大的困擾。

明顯的，因上述兩種 Intel Pentium IV CPU 在佈線堆疊上的不同，所以習知技術中必須使用兩種不同的佈線結構及其印刷電路板，才能支援 Intel Pentium IV 之兩種不同封裝型式的 CPU，於是 Intel 被迫開發兩種型式的北橋控制晶片，以分別支援相對應的 Pentium IV CPU。因此，如果要同時支援 Intel Pentium IV 之兩種不同封裝型式的 CPU，除了主機板必須重新佈局外，北橋控制晶片也必須更換，不僅在使用上相當不便，而且造成成本的增加。

有鑑於此，本發明提出一種在 4 層堆疊結構的主機板上，架構出可支援兩種不同封裝技術 CPU 的佈線結構以及其佈線方法。此外，本發明中所使用的北橋控制晶片也能同時支援 Intel Pentium IV 之兩種不同型式的 CPU，因此能增加便利性，而且成本不需增加。

為達成上述及其他目的，本發明較佳實施例中的佈線結構由上至下依序包括：第一訊號層；具有第一參考電位的第一參考層；第二參考層，其具有第一參考電位的第一參考區與具有第二參考電位的第二參考區；以及第二訊號層，其中該佈線結構係佈局在中央處理單元與控制晶片之相連區域內，且第一參考電位可以是接地電位。

在本發明較佳實施例中，位於第二參考層中的第一參考電位，係佈局於北橋控制晶片與中央處理單元最接近之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

一側，而第二參考層則由另一側切入北橋控制晶片中。

本發明還提出一種可支援兩種不同封裝技術之中央處理單元的主機板，用以承載中央處理單元與控制晶片，此主機板包括：第一區，中央處理單元係完全放置於第一區之範圍內，第一區之堆疊結構由上至下依序包括第一訊號層；具有第一參考電位的第一參考層；第二參考層，其具有第一參考電位的第一參考區與具有第二參考電位的第二參考區；以及第二訊號層。此主機板還包括：第二區，控制晶片與中央處理單元相連的所有訊號係完全放置於第二區之範圍內，第二區之堆疊結構由上至下依序包括第三訊號層；具有第一參考電位的第三參考層；第四參考層，其具有第一參考電位的第三參考區與具有第二參考電位的第四參考區；以及第四訊號層。另外，此主機板還包括第三區，控制晶片不與中央處理單元相連的所有訊號係完全放置於第三區之範圍內，第三區之堆疊結構由上至下依序包括第五訊號層；具有第一參考電位的第五參考層；第六參考層，其具有複數個其它參考電位的複數個參考區；以及第六訊號層。於是兩種不同封裝技術所製造之中央處理單元，皆可安置在較佳實施例之主機板中，而且可使用單一的北橋控制晶片來支援中央處理單元的工作。

本發明另外還提供一種可支援兩種不同封裝技術之中央處理單元的佈線方法，用以佈線中央處理單元與控制晶片之相連訊號間的區域，此佈線方法包括下列步驟：首先，提供用以形成主機板的印刷電路板，該印刷電路板係用以

五、發明說明(6)

佈局 4 層堆疊結構之主機板，共包含頂端訊號層、具有接地電位的接地層、電源層、以及底端焊接層。接著，對頂端訊號層與底端焊接層進行訊號線之佈局，其中位於控制晶片與 CPU 的相連區域間的頂端訊號層與底端焊接層上，皆可進行高頻訊號線之佈局。接下來，對將形成電源層的印刷電路板進行切割，除了產生各工作介面所需的電壓源外，亦在控制晶片與 CPU 相連區域的電源層上，切割出一個可與接地電位相連的區域。隨後結合上述印刷電路板，以形成由上至下分別為頂端訊號層、具有接地電位的接地層、具有接地電位的電源層、以及底端焊接層之堆疊結構。

綜上所述，由於本發明較佳實施例可提供更具彈性的佈局設計空間，因此可在 4 層主機板上架構出能同時支援 Intel Pentium IV 之兩種不同封裝型式的 CPU，進而在不需增加成本的情況下，亦得以同時增加使用便利性。而且由於控制晶片與 CPU 之所有連接的訊號均參考到接地電位，因此能保證訊號的傳輸品質。

為讓本發明之上述和其他目的、特徵和優點，能更加明顯易懂，下文特舉較佳實施例，並配合所附圖示，做詳細說明如下：

圖式簡單說明：

第 1 圖繪示的是習知支援 423 支接腳之 Pentium IV CPU 的佈線結構中，北橋控制晶片與 CPU 相連訊號區域之電源層切割平面圖；

五、發明說明(7)

第 2 圖繪示的是本發明較佳實施例中，北橋控制晶片與 CPU 之相連訊號區域的電源層切割平面圖；以及

第 3 圖繪示的是本發明較佳實施例之可支援兩種不同封裝技術 CPU 的佈線方法。

重要元件標號：

100，200：CPU

102，202：北橋控制晶片

104：北橋控制晶片與 CPU 之相連訊號區域中，不具接地電位的電源層

204：北橋控制晶片與 CPU 之相連訊號區域之電源層中，具有接地電位的區域

206：北橋控制晶片與 CPU 的相連訊號區域之電源層中，具有 CPU 工作電壓的區域

208：北橋控制晶片之右側邊

210：北橋控制晶片之上側邊

步驟 s300 至步驟 s340 係本發明之一實施步驟

較佳實施例：

爲了能同時支援 Intel Pentium IV 之 423 與 478 支接腳的 CPU，本發明較佳實施例之佈線結構係在 4 層主機板用以連結 CPU 與控制晶片的區域中，沿由上至下的方向依序佈局頂端訊號層、具有接地電位的接地層、電源層、以及底端焊接層，其中電源層包含具有接地電位的第一參考區、以及具有各介面工作電壓源的第二參考區。至於第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

2 圖則繪示本發明較佳實施例之 電源層的切割平面圖。由第 2 圖可知，北橋控制晶片 202 與 CPU(200)相連的電源層被切割為第一參考區 204 與第二參考區 206，其中第一參考區 204 位於北橋控制晶片 202 之右側邊 210(亦即最接近 CPU 200 之一側)附近，其係與接地電位相接之區域；而第二參考區 206 則由北橋控制晶片 202 的上側邊切入 210(上側邊 210 與右側邊 208 係相鄰側邊)，其係與 CPU 的工作電壓(其他介面的工作電壓未繪出)相接之區域。

與第 1 圖比較可以得知，在習知 的佈線結構中，北橋控制晶片 102 與 CPU(100)相連區域之電源層上只包含各介面的電源切割區域 104，並未包含任何與接地電位相接之切割區域在內。所以本發明之佈線結構與習知之佈線結構，最大的差異就在於北橋控制晶片 202 與 CPU 相連區域的電源層切割方式，而在較佳實施例中的底端焊接層則得以參考至第一參考區 204 所提供的接地電位。

由於頂端訊號層與底端焊接層的訊號傳輸品質完全相同，於是與習知技術相較之下，因本發明較佳實施例的底端焊接層可供高頻訊號之佈局，亦相對地擴大了可供訊號佈局的面積，因此可將一部份的北橋控制晶片與 CPU 相連訊號佈局在底端焊接層上，於是可達到在 4 層堆疊結構的主機板上，架構出得以同時支援兩種 Pentium IV CPU 之目的。另一方面，北橋控制晶片與 CPU 相連訊號佈局的佈線長度亦得以縮短，相對地增加了主機板佈局其他元件的面積與彈性。此外，由於本發明較佳實施例之主機板

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

可安裝上述兩種 Pentium IV CPU，因此只要針對上述可支援兩種 CPU 之 4 層堆疊結構主機板進行北橋控制晶片的設計，即可在本發明較佳實施例之主機板上，開發出得以同時支援上述兩種 CPU 的北橋控制晶片（如威盛所研發出的北橋控制晶片 P4X266 或 P4M266），於是可進一步節省晶片的開發成本與時間。

本發明較佳實施例之主機板中，在北橋控制晶片 200 與 CPU 相連區域的堆疊結構如第 3 表所示：

第 3 表

北橋控制晶片中之 不與 CPU 相連訊 號的區域(第三區)	北橋控制晶片中之 與 CPU 相連訊號 的區域(第二區)	CPU(第一區)
頂端訊號層	頂端訊號層	頂端訊號層
GND	GND	GND
其它介面之工作電 壓	GND、CPU 工作 電壓	GND、CPU 工作 電壓
底端焊接層	底端焊接層	底端焊接層

如第 3 表所示，此印刷電路板係採用 4 層的堆疊結構。此印刷電路板包括：第一區，CPU 係完全放置於第一區內；第二區，北橋控制晶片與 CPU 相連的所有訊號係完全放置於第二區內；第三區，北橋控制晶片不與 CPU 相連的所有訊號係完全放置於第三區內。第一區的堆疊結構由上至下依序包括頂端訊號層；具有接地電位(GND)的接地層；電源層，其包含具有接地電位的第一參考區與具有

五、發明說明(10)

CPU 工作電壓(又稱核心電位, Vcore)的第二參考區; 以及底端焊接層。而第二區的堆疊結構由上至下依序包括頂端訊號層; 具有接地電位的接地層; 電源層, 其包含具有接地電位的第三參考區與具有核心電位的第四參考區; 以及底端焊接層。另外, 第三區的堆疊結構由上至下依序包括頂端訊號層; 具有接地電位的接地層; 具有複數個其它介面工作電壓之電源層; 以及底端焊接層。由於北橋控制晶片仍與其他介面, 例如南橋控制晶片、記憶體、繪圖模組等元件相接, 因此需要相對應的介面工作電壓源來進行所需操作, 而所需的電壓源則透過切割與佈局第三區的電源層來產生。此外, 主機板上之 CPU 與北橋控制晶片相連的所有訊號可佈局在頂端訊號層與底端焊接層, 而佈局在底端焊接層的訊號則參考到電源層的第一參考區與第三參考區。明顯的, 因為北橋控制晶片與 CPU 之相連的所有訊號均可參考到接地電位, 因此能保證良好的訊號傳輸品質。

而第 3 圖所繪示的是根據本發明較佳實施例之可支援兩種不同封裝技術 CPU 的佈線方法, 其步驟包括: 首先, 提供用以形成主機板的印刷電路板, 這些印刷電路板係用來佈局主機板所需的頂端訊號層、具有接地電位的接地層、電源層、以及底端焊接層(步驟 s310)。接著, 對頂端訊號層與底端焊接層進行佈局, 其中位於控制晶片與 CPU 的相連區域間的頂端訊號層與底端焊接層上, 皆可進行訊號線的佈局(步驟 s320), 以使高頻訊號亦得以在底端焊接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (//)

層上進行傳輸。接下來，對將形成電源層的印刷電路板進行切割，除了產生各工作介面所需的電壓源外，亦在北橋控制晶片與 CPU 相連區域的電源層上，切割出一個可與接地電位相連的區域(步驟 s330)。由於頂端訊號層與底端焊接層之相鄰層上，皆包含接地電位以供參考，因此佈局在底端焊接層的訊號線與佈局在頂端訊號層訊號線將有相同的傳輸品質。最後，結合上述印刷電路板，以形成由上至下分別為頂端訊號層、具有接地電位的接地層、具有接地電位的電源層、以及底端焊接層之 4 層堆疊結構(步驟 s340)，於是達成在單一主機板上，可設計出同時支援兩種 Pentium IV CPU 的目的。此外，亦可針對上述可承載兩種 Pentium IV CPU 之主機板進行北橋控制晶片的設計，即可在本發明較佳實施例之主機板上，開發出得以同時支援上述兩種 CPU 的北橋控制晶片。

綜上所述，本發明具有如下的優點：

1. 只需要在 4 層堆疊結構之主機板中，由於頂端訊號層與底端焊接層皆可進行高頻訊號之佈局，因此可透過單一的佈線結構及佈線方法，並在較習知技術更小的空間下，設計出可同時支援 Intel Pentium IV 之兩種不同封裝型式的 CPU，不僅可增加便利性、亦可節省成本。

2. 由於北橋控制晶片與 CPU 之所有連接的訊號可佈局於頂端訊號層與底端焊接層，而且均可參考到接地電位，因此能保證訊號的傳輸品質。

3. 由於本發明可採用單一主機板來支援兩種不同的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

Pentium IV CPU，因此可針對上述之單一主機板進行北橋控制晶片之設計，，於是達成只需要以一種北橋控制晶片即可同時支援 Intel Pentium IV 之兩種不同封裝型式的 CPU 之目的。

雖然本發明已以較佳實施例揭露於上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1.一種可支援兩種不同封裝技術之中央處理單元(CPU)的佈線結構，其中該佈線結構係佈局在一中央處理單元與一控制晶片相連訊號間的區域中，該佈線結構包括：

頂端訊號層，用以佈局該中央處理單元與該控制晶片相連區域之第一訊號線；

參考電位提供層，位於該頂部訊號層之下方，該參考電位提供層與一參考電位耦合，其中該第一訊號線係參考至該參考電位提供層；

電源層，位於該參考電位提供層之下方，該電源層包含：

CPU 工作電壓提供區，用以提供一工作電壓予該中央處理單元與該控制晶片；及

參考電位提供區，與該參考電位耦合；及

底端訊號層，位於該電源層之下方，用以佈局該中央處理單元與該控制晶片相連區域之第二訊號線，其中該第二訊號線係參考至位於該電源層中之該參考電位提供區。

2.如申請專利範圍第 1 項所述之佈線結構，其中該參考電位係一接地電位。

3.如申請專利範圍第 1 項所述之佈線結構，其中該參考電位提供區係位於該控制晶片之第一側邊，且該 CPU 工作電壓提供區係由該控制晶片之第二側邊切入。

4.如申請專利範圍第 3 項所述之佈線結構，其中該第一側邊係最接近該中央處理單元之側邊，且該第二側邊係該第一側邊之相鄰側邊。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

5.如申請專利範圍第 1 項所述之佈線結構，其中該中央處理單元係採用針格陣列(pin grid array, PGA)封裝、具有 423 支接腳的 CPU，或是採用球格陣列(ball grid array, BGA)封裝、具有 478 支接腳的 CPU。

6.如申請專利範圍第 5 項所述之佈線結構，其中該具有 423 支接腳的 CPU 與該具有 478 支接腳的 CPU，係使用單一之該控制晶片來支援該中央處理單元進行工作。

7.如申請專利範圍第 1 項所述之佈線結構，其中該佈線結構係安置於主機板中。

8.一種可支援兩種不同封裝技術之中央處理單元(CPU)的主機板，包括：

第一區，用以置放該中央處理單元；

第二區，位於該中央處理單元與一控制晶片之間，該第二區包含：

頂端訊號層，用以佈局該中央處理單元與該控制晶片相連區域之第一訊號線；

參考電位提供層，位於該頂部訊號層之下方，該參考電位提供層與一參考電位耦合，其中該第一訊號線係參考至該參考電位提供層；

電源層，位於該參考電位提供層之下方，該電源層包含：

CPU 工作電壓提供區，用以提供一工作電壓予該中央處理單元與該控制晶片；及

參考電位提供區，與該參考電位耦合；及

六、申請專利範圍

底端訊號層，位於該電源層之下方，用以佈局該中央處理單元與該控制晶片相連區域之第二訊號線，其中該第二訊號線係參考至位於該電源層之該參考電位提供區。

9.如申請專利範圍第 8 項所述之主機板，其中該參考電位係一接地電位。

10.如申請專利範圍第 8 項所述之主機板，其中該參考電位提供區係位於該控制晶片之第一側邊，且該 CPU 工作電壓提供區係由該控制晶片之第二側邊切入。

11.如申請專利範圍第 10 項所述之主機板，其中該第一側邊係最接近該中央處理單元之一側邊，且該第二側邊係該第一側邊之相鄰側邊。

12.如申請專利範圍第 8 項所述之主機板，其中該中央處理單元係採用針格陣列(pin grid array, PGA)封裝、具有 423 支接腳的 CPU，或是採用球格陣列(ball grid array, BGA)封裝、具有 478 支接腳的 CPU。

13.如申請專利範圍第 12 項所述之主機板，其中該具有 423 支接腳的 CPU 與該具有 478 支接腳的 CPU，係使用單一之該控制晶片來支援該中央處理單元進行工作。

14.如申請專利範圍第 8 項所述之主機板，更包含一第三區，用以與 CPU 外之其他元件相耦合，其中該第三區包含：

頂部訊號層，用以佈局該其他元件與該控制晶片相連區域之第三訊號線；

參考電位提供層，位於該頂部訊號層之下方，該參考

六、申請專利範圍

電位提供層與一參考電位耦合，其中該第三訊號線係參考至該參考電位提供層；

電源層，位於該參考電位提供層之下方，該電源層包含複數個電源切割區，用以提供該其他元件工作電壓；及

底部訊號層，位於該電源層之下方，用以佈局該其他元件與該控制晶片相連區域之第四訊號線。

15. 一種可支援兩種不同封裝技術之中央處理單元(CPU)的佈線結構，用以佈線連結一第一區域，該第一區域係為一中央處理單元與一控制晶片之相連訊號間的區域，該佈線結構沿一第一方向依序包括：

一第一訊號層；

一第一參考層，具有一第一參考電位，其中佈局在該第一訊號層之第一訊號線係參考至該第一參考層；

一第二參考層，包括：

一第一參考區：具有該第一參考電位；以及

一第二參考區：具有第二參考電位，用以提供該中央處理單元所需的工作電壓；以及

一第二訊號層，其中佈局在該第二訊號層之第二訊號線係參考至位於該第二參考層之該第一參考區。

16. 如申請專利範圍第 15 項所述之佈線結構，其中該第一參考層係為一接地層，該第一參考電位係為一接地電位，該第二參考層係為一電源層。

17. 如申請專利範圍第 15 項所述之佈線結構，其中該中央處理單元與該控制晶片相連的所有訊號可佈局在該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一 第二區，該控制晶片之與該中央處理單元相連的所有訊號係完全放置於該第二區之範圍內，該第二區之堆疊結構沿該第一方向依序包括：

一 第三訊號層；

一 第三參考層，具有該第一參考電位；

一 第四參考層，包括：

一 第三參考區：具有該第一參考電位；以

及

一 第四參考區：具有該第二參考電位；以

及

一 第四訊號層；以及

一 第三區，該控制晶片之不與該中央處理單元相連的所有訊號係完全放置於該第三區之範圍內，該第三區之堆疊結構沿該第一方向依序包括：

一 第五訊號層；

一 第五參考層，具有該第一參考電位；

一 第六參考層，具有複數個其它參考電位的複數個參考區；以及

一 第六訊號層。

22. 如申請專利範圍第 21 項所述之主機板，其中該第一參考層、該第三參考層、該第五參考層係為一接地層，該第一參考電位係為一接地電位；該第二參考層、該第四參考層、該第六參考層係為一電源層，該第二參考電位係為一核心電位，而該些其它參考電位係為除該接地電位與

六、申請專利範圍

該核心電位外，該控制晶片所需要的電源電位。

23. 如申請專利範圍第 21 項所述之主機板，其中該印刷電路板上之該中央處理單元與該控制晶片相連的所有訊號，可佈局在該第一訊號層、該第二訊號層、該第三訊號層與該第四訊號層，而佈局在該第二訊號層、該第四訊號層的訊號係分別參考到該第一參考區與該第三參考區。

24. 如申請專利範圍第 21 項所述之主機板，其中該印刷電路板上之該中央處理單元與該控制晶片連接的所有訊號均參考到該第一參考電位。

25. 如申請專利範圍第 21 項所述之主機板，其中該第四參考層之該第三參考區係位於該控制晶片之第一側邊，且該第四參考層之該第四參考區係由該控制晶片之第二側邊切入。

26. 如申請專利範圍第 25 項所述之主機板，其中該第一側邊係最接近該中央處理單元之一側邊，且該第二側邊係該第一側邊之相鄰側邊。

27. 如申請專利範圍第 21 項所述之主機板，其中該中央處理單元係採用針格陣列(pin grid array, PGA)封裝、具有 423 支接腳的中央處理單元，或是採用球格陣列(ball grid array, BGA)封裝、具有 478 支接腳的中央處理單元。

28. 如申請專利範圍第 12 項所述之主機板，其中該具有 423 支接腳的 CPU 與該具有 478 支接腳的 CPU，係使用單一之該控制晶片來支援該中央處理單元進行工作。

29. 一種可支援不同封裝技術之中央處理單元(CPU)的佈

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

線方法，包含：

提供複數個印刷電路板；

對用以形成頂端訊號層與底端訊號層之印刷電路板進行佈局，其中位於控制晶片與該中央處理單元的相連區域間的頂端訊號層與底端訊號層上，皆可進行訊號線的佈局；

對將形成電源層的印刷電路板進行切割，用以在該控制晶片與該中央處理單元之該相連區域的電源層上，切割出一個可與一參考電位相連的區域；及

結合該印刷電路板以形成一堆疊結構。

30.如申請專利範圍第 29 項所述之佈線方法，其中該堆疊結構包含：

該頂端訊號層，用以佈局該中央處理單元與該控制晶片相連區域之第一訊號線；

參考電位提供層，位於該頂部訊號層之下方，該參考電位提供層與該參考電位耦合；

該電源層，位於該參考電位提供層之下方，該電源層包含：

CPU 工作電壓提供區，用以提供一工作電壓予該中央處理單元與該控制晶片；及

參考電位提供區，與該參考電位耦合；及

該底端訊號層，位於該電源層之下方，用以佈局該中央處理單元與該控制晶片相連區域之第二訊號線。

31.如申請專利範圍第 29 項所述之佈線方法，其中該第

六、申請專利範圍

一訊號線係參考至該參考電位提供層。

32.如申請專利範圍第 29 項所述之佈線方法，其中該第二訊號線係參考至位於該電源層之該參考電位提供區。

33.如申請專利範圍第 29 項所述之佈線方法，其中該堆疊結構係位於該中央處理單元與該控制晶片相連訊號之區域內。

34.如申請專利範圍第 33 項所述之佈線方法，其中該佈線結構係安置於主機板中。

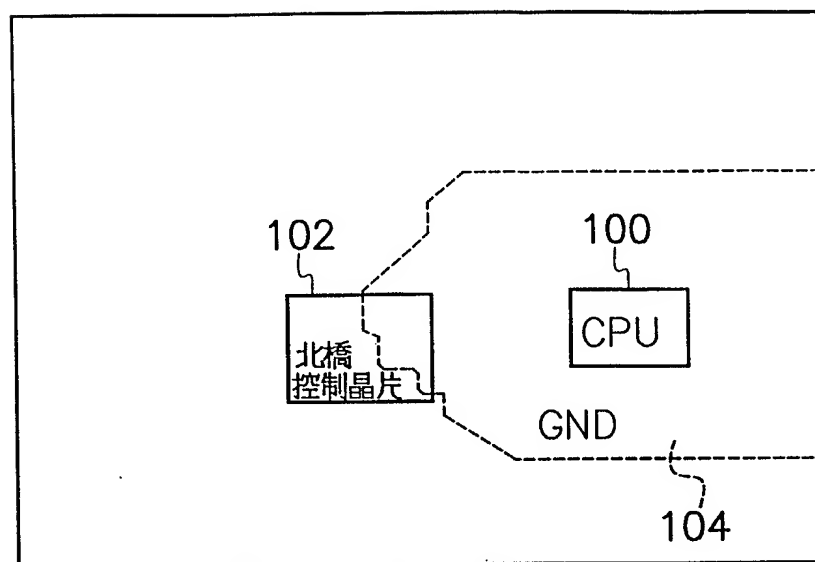
35.如申請專利範圍第 29 項所述之佈線方法，其中該參考電位係一接地電位。

36.如申請專利範圍第 29 項所述之佈線方法，其中該參考電位提供區係位於該控制晶片之第一側邊，且該 CPU 工作電壓提供區係由該控制晶片之第二側邊切入。

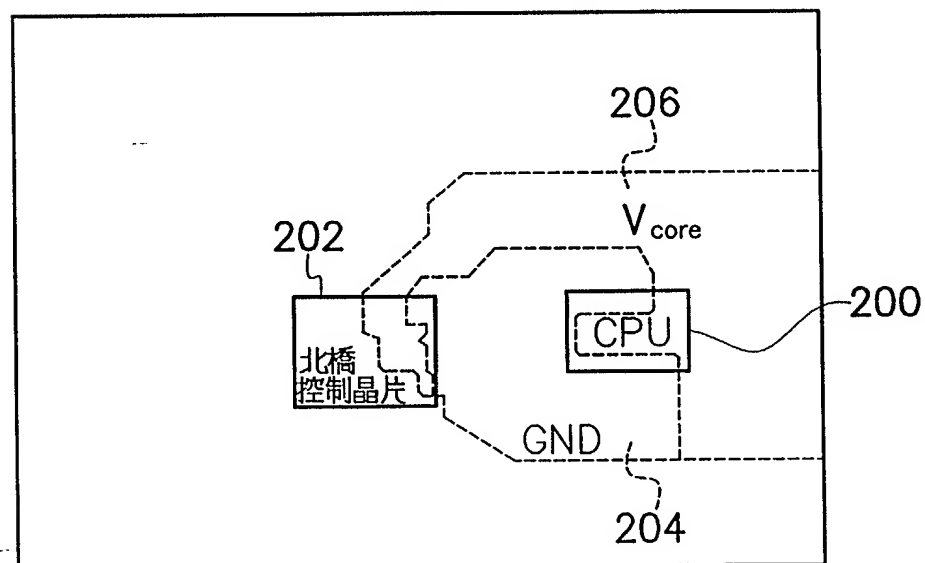
37.如申請專利範圍第 36 項所述之佈線方法，其中該第一側邊係最接近該中央處理單元之一側邊，且該第二側邊係該第一側邊之相鄰側邊。

38.如申請專利範圍第 29 項所述之佈線方法，其中該中央處理單元係採用針格陣列(pin grid array, PGA)封裝、具有 423 支接腳的 CPU，或是採用球格陣列(ball grid array, BGA)封裝、具有 478 支接腳的 CPU。

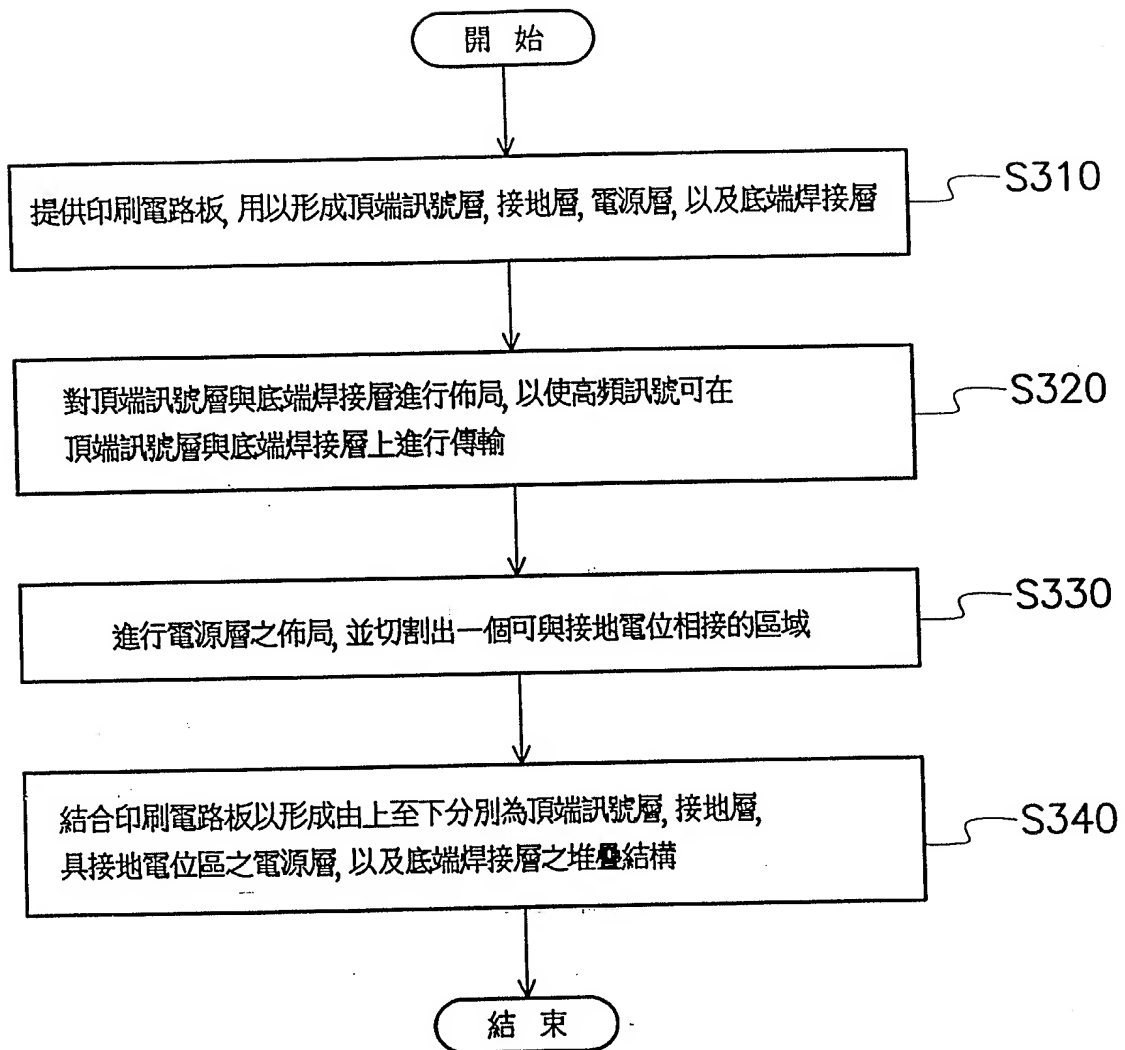
39.如申請專利範圍第 38 項所述之佈線方法，其中該具有 423 支接腳的 CPU 與該具有 478 支接腳的 CPU，係使用單一之該控制晶片來支援該中央處理單元進行工作。



第 1 圖



第 2 圖



第 3 圖

US 1001644505P1



Creation date: 27-02-2003
Indexing Officer: PRT2827 - GAU2827 PRINTER
Team: GAU2827PrtWorkingFolder
Dossier: 10016445

Legal Date: 10-12-2001

No.	Doccode	Number of pages
1	FRPR	19

Total number of pages: 19

Remarks:

Order of re-scan issued on